

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

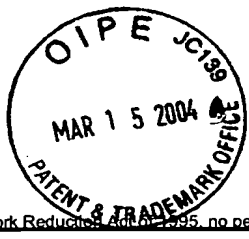
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PTO/SB/21 (08-03)  
Approved for use through 08/30/2003. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/707,952	
	Filing Date	01/28/2004	
	First Named Inventor	Long-Hui Lin	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	LKSP0025USA

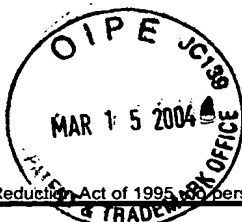
ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
<b>Remarks</b>  Response to the office action has been sent to the examiner by fax on 12/04/2003		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	3/12/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number	10/707,952
Filing Date	01/28/2004
First Named Inventor	Long-Hui Lin
Examiner Name	
Art Unit	
Attorney Docket No.	LKSP0025USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801  
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)			(\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Extra Claims	Fee from below	Fee Paid
Independent Claims	-20** =	X	
Multiple Dependent	-3** =	X	

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

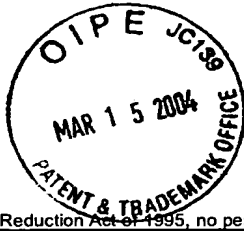
## SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	3/12/2004		

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

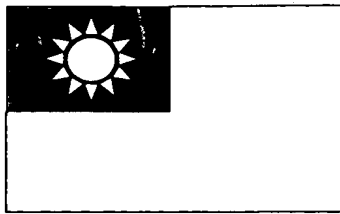
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

**DECLARATION — Supplemental Priority Data Sheet**

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092123827	Taiwan R.O.C	08/28/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



LKS-25

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 28 日  
Application Date

申請案號：092123827  
Application No.

申請人：力晶半導體股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 1 月 16 日  
Issue Date

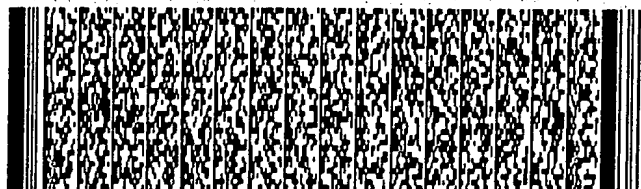
發文字號：09320051830  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	一種管狀缺陷的檢測方式
	英 文	METHOD OF PIPING DEFECT DETECTION
二、 發明人 (共1人)	姓 名 (中文)	1. 林龍輝
	姓 名 (英文)	1. Lin, Long-Hui
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹東鎮竹中路二十五之三號六樓之二
	住居所 (英 文)	1. 6F-2; No. 25-3, Chu-Chung Rd., Chu-Tong Town, Hsin-Chu Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 力晶半導體股份有限公司
	名稱或 姓 名 (英文)	1. Powerchip Semiconductor Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市科學園區力行一路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 12, Li-Hsin Rd. 1, Science-based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. Huang, Chung-Jeng



四、中文發明摘要 (發明名稱：一種管狀缺陷的檢測方式)

一種管狀缺陷的檢測方式，首先提供一樣本，該樣本包含有一矽基底、複數個電路元件設於該基底上、一介電層覆蓋於該複數個電路元件及該基底上，以及一多晶矽層覆蓋於該介電層上，並經由複數設於該介電層內之接觸洞電連接到各該電路元件，接著對該樣本進行一化學機械研磨製程，以去除該介電層上之該多晶矽層以及部份該介電層，再進行一濕蝕刻製程，以部分去除該介電層，最後利用一紫外光來觀測該樣本，以判別該樣本之該介電層中是否具有該管狀缺陷。

一、(一)、本案代表圖為：第 4 圖

(二)、本案代表圖之元件代表符號簡單說明：

110 取樣

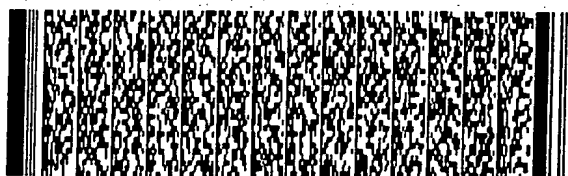
120 化學機械研磨製程

130 濕蝕刻

140 紫外光偵測

六、英文發明摘要 (發明名稱：METHOD OF PIPING DEFECT DETECTION)

A method of piping defect detection is disclosed. First, a sample is providing. The sample has a silicon substrate, a plurality of electric devices disposed on the silicon substrate surface, a dielectric layer covering the electric devices and the substrate, and a polysilicon layer positioned on the dielectric layer, which is electrically connected to the



四、中文發明摘要 (發明名稱：一種管狀缺陷的檢測方式)

150 缺陷分類

160 SEM檢測

六、英文發明摘要 (發明名稱：METHOD OF PIPING DEFECT DETECTION)

electric devices through contact holes in the dielectric layer. A chemical mechanical polish process is performed to remove the polysilicon layer on the dielectric layer and parts of the dielectric layer. A wet etching process is then performed to delayer the dielectric layer. After that, the sample is inspected under an ultraviolet light irradiation for detecting the





四、中文發明摘要 (發明名稱：一種管狀缺陷的檢測方式)

六、英文發明摘要 (發明名稱：METHOD OF PIPING DEFECT DETECTION)

pip ing defects in the dielectric layer of the sample.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

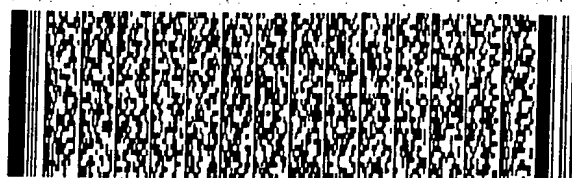
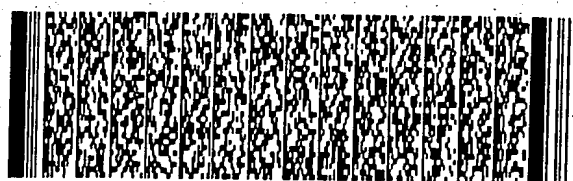
### 發明所屬之技術領域

本發明係提供一種缺陷 (defect) 的檢測方法，尤指一種快速且具有高靈敏度的管狀缺陷 (piping defect) 檢測方法。

### 先前技術

在半導體製程中，當於一基底上形成各電路元件 (如 MOS 電晶體) 後，均會先形成一介電層，亦即所謂的層間絕緣 (inter layer dielectric, ILD) 層，用來隔離並保護下方的電路元件，且該層間絕緣層內設有複數個接觸洞 (contact hole)，以用來填入一導電層，於該接觸洞內形成一接觸插塞 (contact plug)，使各該電路元件能經由各該接觸插塞向外電連接至其他電路元件，例如一導線，因此，資料訊號便可由上方之導線經該接觸插塞傳送到各電路元件，例如一電晶體的源/汲極，以進一步控制各電路元件之運作。

以下係以一 DRAM 晶片為例，來說明半導體製程中接觸插塞之製作方式。請參考圖一至圖二，圖一至圖二為於一晶片 10 中利用接觸插塞進行電路連接之製作方法示意圖。如圖一所示，晶片 10 包含有一基底 12，電晶體 14、16、18 及 20 設於該基底 12 表面，其中電晶體 14 係與電晶

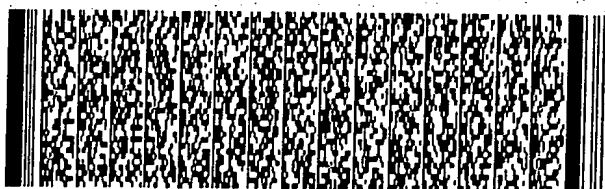


#### 五、發明說明 (2)

體 18 共用同一多晶矽層作為其閘極，並與電晶體 16 共用同一摻雜區作為其源極，而電晶體 20 亦以同樣的方式分別與電晶體 16 與 18 共用一多晶矽層與一源極。接著請參考圖二，隨後於晶片 10 上沉積一介電層 22，例如一含硼磷的四乙氧基矽烷 (borophospho-tetra-ethyl-ortho silicate, BPTEOS) 層，並利用一黃光暨蝕刻製程於介電層 22 內形成複數個接觸洞，再於介電層 22 上方沉積一導電層 (未顯示)，例如一多晶矽層，並填入各該接觸洞內，以於接觸洞內形成接觸插塞 26、28、30、32、34 與 36。

然而隨著製程尺寸的不斷縮小以及元件積集度的不斷提升，在沉積介電層 22 時，往往容易因介電層 22 之填充能力不佳而於各閘極間生成管狀的空洞 24，使得部分接觸洞間相互連通。雖然在完成介電層 22 之沉積製程後，多半會利用一快速熱處理製程來對介電層 22 進行迴流 (reflow)，企以消除空洞 24，然而，在大多數的製程條件下，空洞 24 的發生仍不能完全避免，因此，在後續的接觸插塞製作過程中，所形成的接觸插塞也會因此而短路 (如圖二中之接觸插塞 34 及 36)，造成電晶體 14、16、18 與 20 無法進行正常的電路操作，這也就是所謂的管狀缺陷 (piping defect)。

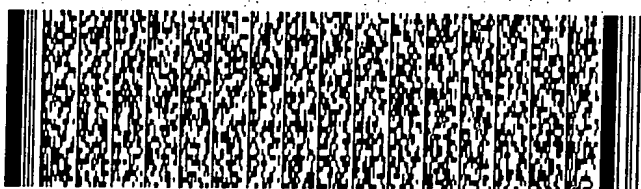
為說明方便起見，以下係以晶片 10 做為偵測樣本來說明



### 五、發明說明 (3)

習知技術中的管狀缺陷偵測方法。請參考圖三，圖三為一習知的管狀缺陷偵測方法，由於管狀缺陷的位置多半與介電層 22 表面具有一段距離，因此在進行檢測前，多半會先對取來的樣本進行一適當的預處理 (pre-treatment)。如圖三所示，在習知之管狀缺陷偵測方法中，係於取樣 50 後，先利用一化學機械研磨 (chemical mechanic polish, CMP) 製程 60 去除介電層 22 上方各層，例如用來製作接觸插塞之多晶矽層，再藉由一濕蝕刻製程 70 移除部份之介電層 22，最後再利用掃描式電子顯微鏡 (SEM) 進行缺陷檢測 80。隨後可再藉由錯誤位元地圖 (failure bit map, FBM) 的製作，來進一步分析管狀缺陷的生成原因，重新對製程參數進行調整，以降低空洞 24 的發生機率。

然而在習知技術中，最後的缺陷檢測 80 均係靠工程師以人工方式進行判讀，因此在判讀上將花費大量的時間與心力，舉例來說，一批晶片中取 50 個樣本，可能就需要花上 12 個小時以上的時間，才能判讀完畢，而一旦製作介電層 22 之沉積製程發生任何問題，往往要在兩個月後進行晶片測試 (wafer test) 時才會發現，而要進行進一步的參數調整，更是要花上數倍的時間，才能找出一適當的製程參數範圍。此外，由於這些管狀缺陷事實上相當微小，以一 0.13 微米製程之 DRAM 晶片為例，其管狀缺陷的尺度多在 0.1 微米以下，因此將無法晶片做大面積的



#### 五、發明說明 (4)

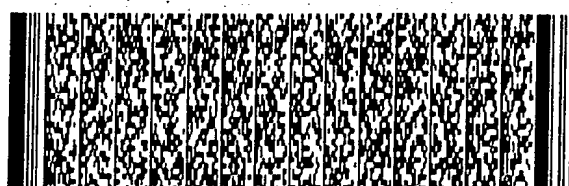
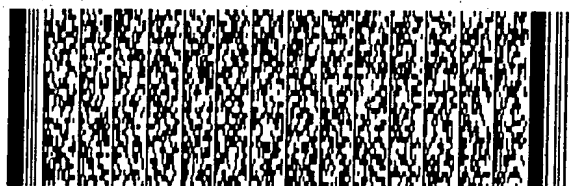
檢測，且當工程師在判讀時，祇要稍有不慎，很容易就沒有注意到管狀缺陷之存在，而作出錯誤的判斷，這將嚴重影響後續的錯誤分析流程，使得工程師無法對各製程參數進行適當而有效之調整，造成產品可靠度的低落。

隨著半導體產業製程的進步以及經濟效益的考量，晶圓的直徑已由過去 8 吋邁向 12 吋，線寬大小亦由過去的 0.18 微米進入 0.13 微米甚至 0.1 微米，在這製程大幅改變的同時，往往亦需要藉由大量的實驗以界定出各製程參數之全操作範圍，以確保產品在量產時能有一定之可靠度，但習知技術顯然無法滿足此一需求，往往花費大量的時間成本仍不能得到一正確之製程參數範圍，因此，現在迫切需要一種快速且具有高靈敏度的缺陷檢測方法，以解決上述問題。

#### 發明內容

本發明之主要目的在於提供一種快速且具有高靈敏度的管狀缺陷檢測方法，以解決上述問題。

本發明之最佳實施例係先提供一樣本，該樣本包含有一矽基底、複數個電路元件設於該基底上、一介電層覆蓋於該複數個電路元件及該基底上，以及一多晶矽層覆蓋



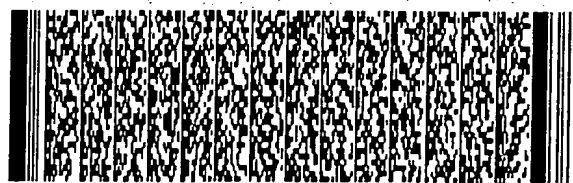
#### 五、發明說明 (5)

於該介電層上，並經由複數設於該介電層內之接觸洞電  
连接到各該電路元件，接著對該樣本進行一化學機械研  
磨製程，以去除該介電層上之該多晶矽層以及部份該介  
電層，再進行一濕蝕製程，以部分去除該樣本之該介電  
後利用一紫外光來觀測該樣本，以判別該樣本之該介電  
層中是否具有該管狀缺陷。

由於本發明之缺陷检测方法係利用一化學機械研磨製程  
與一濕蝕製程對樣本進行一預處理，再藉由紫外光照  
射下對多晶矽層與氧化層亮度對比之差異來進行判別，  
此可配合一即時缺陷分類工具來進行線上檢測，故能  
達到有效提升產率以及產品可靠度之目的。

#### 實施方式

為充分闡明本發明之缺陷检测方法與習知技術間之差  
異，以下同樣以晶片 10 為檢測樣本，來說明本發明之缺  
陷检测方法。請參考圖四，圖四為本發明較佳實施例中  
之缺陷检测方法示意圖。如圖四所示，在取樣 110 後，同  
樣會先利用一化學機械研磨製程 120 與一濕刻製程 130 來  
對晶片 10 進行預處理。得注意的是，在本發明較佳實施  
例中，所進行之化學機械研磨製程 120 會在磨蝕到導電層  
與介電層 22 之界面後，繼續進行一過度蝕刻，移除一定  
厚度之介電層 22，直至各該接觸插塞未與各該閘極之上



##### 五、發明說明 (6)

方重疊為止，這將使介電層 22 內各空洞 24 間的距離距增加（由於各空洞 24 之形狀為上小下大），以利於後續之缺陷觀測，在本發明之較佳實施例中，該過度磨蝕之較佳厚度約為 300 至 1000 埃（angstrom），並可依介電層 22 之厚度進行調整。接著可再配合濕蝕刻製程 130，以選擇性蝕刻的方式來去除介電層 22，使介電層 22 之厚度降低，以利後續的管狀缺陷觀測。

接著進行一紫外光偵測 140，亦即利用一紫外光，例如一寬頻帶（broad band）之紫外光或一窄頻帶（narrow band）紫外光，由上方照射晶片 10，並以一適當的放大倍率來觀測其影像，由於介電層 22 與構成接觸插塞的多晶矽層間具有材質上的差異，因此，一旦晶片 10 上的介電層 22 內有缺陷產生，該缺陷所處之區域會與周圍區域產生一明顯之亮度差，舉例來說，若介電層 22 係由 BPTEOS 所構成則在紫外光照射下會形成一低亮度的黑色影像，而由多晶矽構成之接觸插塞與矽基底則會形成一高亮度之白色影像，一旦介電層 22 中有一缺陷存在，則將會發現該處之黑色影像會略為透明，具有較周圍區域高之亮度，故可輕易偵測出該缺陷之形狀、大小及位置。值得注意的是在上述實施例中，雖以一紫外光作為管狀缺陷偵測之光源，然而本發明並不限於此，而可使用其他類型之光源來進行管狀缺陷偵測，只要該光源對該介電層 22 與該多晶矽層能形成不同之亮度對比即可，例如使該





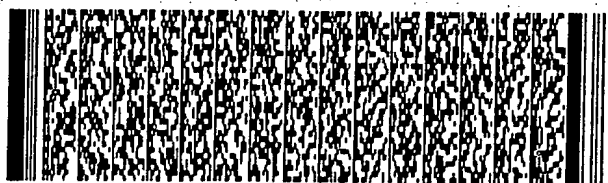
#### 五、發明說明 (7)

光源對該多晶矽層具有不透光性，而對該介電層 22 具有透光性，以利進行管狀缺陷的觀測工作。

在偵測出晶片 10 上缺陷之形狀、大小及位置後，可利用一自動缺陷分類 (automatic defect classify, ADC) 工具來對該樣本進行自動缺陷分類 150，並藉由一預先建立之資料庫，將管狀缺陷與非管狀缺陷進行自動分類。此外，製程工程師並可針對所偵測出之管狀缺陷利用 SEM 檢測 160 進行進一步之人工分析。在已知各缺陷位置的狀況下，SEM 檢測 160 之準確率與速率亦可大幅提升，故可藉各項製程參數，例如沉積速度/溫度、快速加熱製程之溫度/時間、開極線寬等，之測試與調整，迅速抑制缺陷的發生機會，以提升產量及產品可靠度。

相較於習知技術中之缺陷偵測方式，本發明之缺陷偵測方式係藉由紫外光照射下亮暗度之差異來偵測缺陷，而不需要使用掃描式電子顯微鏡慢慢檢測，故可大幅提升缺陷檢測之速率以及準確度，因此將可滿足線上測試之需求，以較少之時間成本完成各項製程參數之調整，以提升產量及產品可靠度。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一至圖二為一晶片中利用接觸洞進行電路連接之製作方法示意圖。

圖三為一習知之管狀缺陷檢測方法示意圖。

圖四為本發明中管狀缺陷檢測方法示意圖。

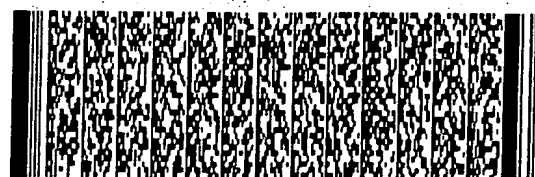
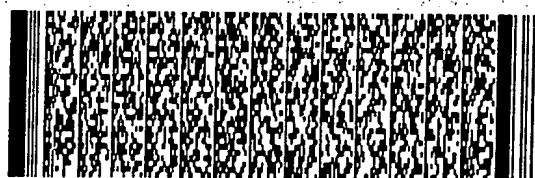
### 圖式之符號說明

10	晶片	12	基底
14、16、18、20	電晶體	22	介電層
24	空洞		
26、28、30、32、34、36	接觸插塞		
50	取樣	60	化學機械研磨製程
70	濕蝕刻	80	缺陷檢測
110	取樣	120	化學機械研磨製程
130	濕蝕刻	140	紫外光偵測
150	缺陷分類	160	SEM檢測



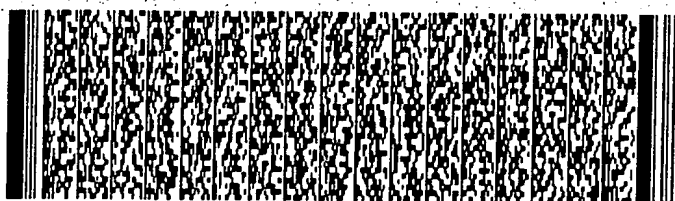
#### 六、申請專利範圍

1. 一種管狀缺陷的檢測方法，其包含有下列步驟：  
提供一樣本 (sample)，該樣本包含有：  
一矽基底；  
複數個電路元件設於該矽基底上，該複數個電路元件包含有一閘極；  
一介電層覆蓋於該複數個電路元件及該基底上，該介電層中並設有複數個接觸洞設於各該電路元件之上方，其中該介電層會因覆蓋不均而於二相鄰閘極間形成一空洞；以及  
一多晶矽層覆蓋於該介電層上，並經由各該接觸洞電連到各該電路元件，其中該多晶矽層填充該複數個接觸洞而形成複數個接觸插塞，並同時填充該空洞形成一管狀缺陷；  
進行一化學機械研磨 (chemical mechanical polish, CMP) 製程，以去除該介電層上之該多晶矽層，並過度磨蝕該介電層；  
進行一濕蝕刻製程，以選擇性蝕刻該介電層；以及  
利用一光源來觀測該樣本，俾以搜尋該管狀缺陷，其中該光源對該多晶矽層為不透光性，而對該介電層則為透光性。
2. 如申請專利範圍第 1 項的方法，其中該化學機械研磨步驟係研磨至各該接觸插塞未與各該閘極上方重疊為止。



六、申請專利範圍

- 3.如申請專利範圍第1項的方法，其中該光源包含有紫外光。
- 4.如申請專利範圍第3項的方法，其中該紫外光係包含有一寬頻帶紫外光(broadband UV)或一窄頻帶(narrow band)紫外光。
- 5.如申請專利範圍第1項的方法，其中各該電路元件係分別為一MOS電晶體，而各該MOS電晶體之該閘極係設於該基底表面，且更包含一源極與一汲極，分別設於各該閘之兩側。
- 6.如申請專利範圍第1項的方法，其中該介電層係包含有一含硼磷的四乙氧基矽烷(borophospho-tetra-ethyl-ortho silicate, BPTEOS)層。
- 7.如申請專利範圍第1項的方法，其中該方法另包含有利用一自動缺陷分類(automatic defect classify, ADC)工具來對該樣本進行缺陷分類。
- 8.如申請專利範圍第1項的方法，其中該方法於發現該管狀缺陷之位置後，另包含有一掃描式電子顯微鏡觀測步驟，以對該管狀缺陷進行進一步分析。



#### 六、申請專利範圍

9. 一種半導體晶片中缺陷的檢測方法，其包含有下列步驟：

提供一半導體晶片，該半導體晶片包含有：

一矽基底；以及

一介電層設於該矽基底上；

進行一預處理製程，以去除部分之該介電層；以及

利用一紫外光來進行觀測，並根據該半導體晶片上各區域內影像亮度之差異來判別該介電層中是否具有缺陷。

10. 如申請專利範圍第9項的方法，其中當該介電層中具有一管狀缺陷時，該管狀缺陷所處之區域在該紫外光照射下會形成一較高亮度之影像。

11. 如申請專利範圍第9項的方法，其中該管狀缺陷之線寬係小於  $0.1\mu\text{m}$ 。

12. 如申請專利範圍第9項的方法，其中該預處理製成係包含有一化學機械研磨製程以及一濕蝕刻製程。

13. 如申請專利範圍第9項的方法，其中該半導體晶片另包含有複數個電路元件，設於該矽基底表面。

14. 如申請專利範圍第9項的方法，其中該介電層係包含有一含硼磷的四乙氧基矽烷 (borophospho-tetra-ethyl-



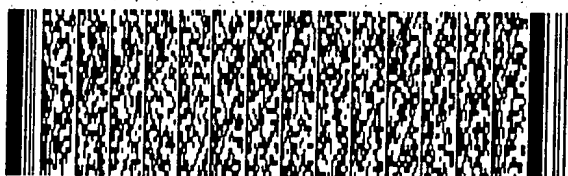
六、申請專利範圍

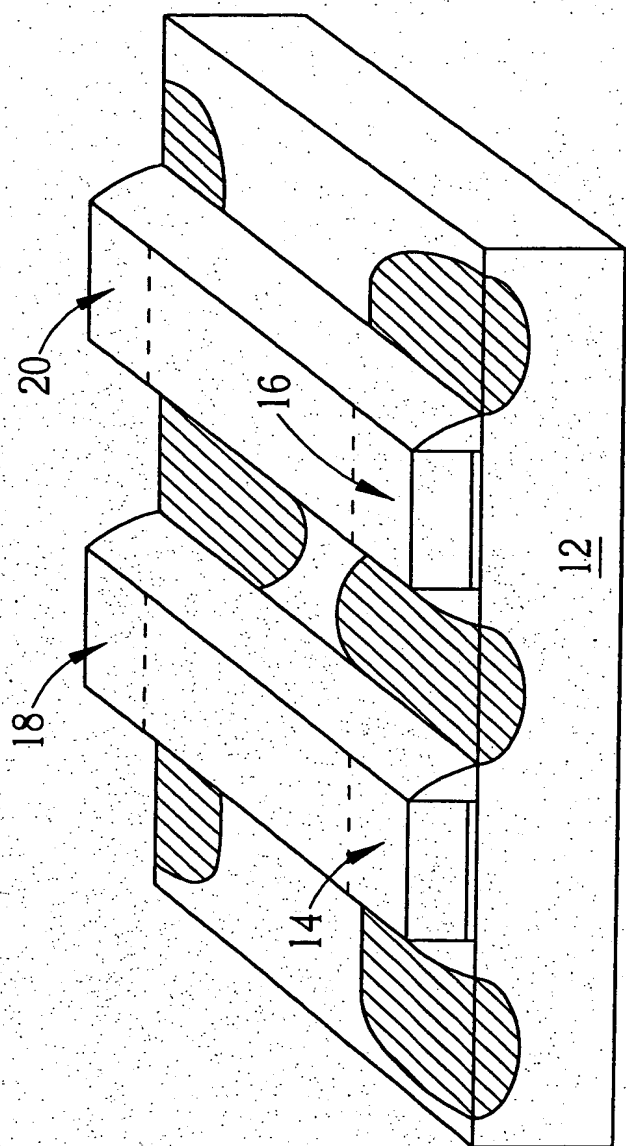
ortho silicate, BPTEOS)層層。

15.如申請專利範圍第9項的方法，其中該紫外光係包含有一寬頻帶紫外光(broadband UV)或一窄頻帶(narrow band)紫外光。

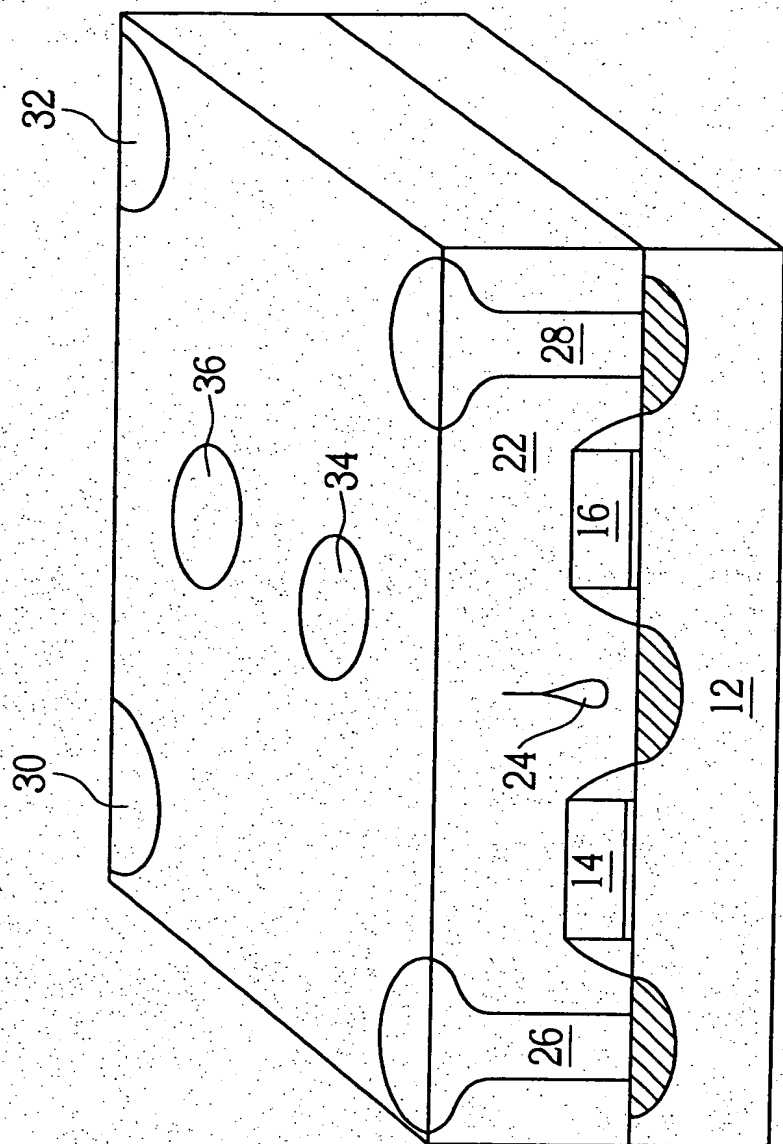
16.如申請專利範圍第9項的方法，其中該方法另包含有利用一自動缺陷分類(automatic defect classify, ADC)工具來對該樣本進行自動缺陷分類。

17.如申請專利範圍第9項的方法，其中該方法於發現該管狀缺陷之位置後，另包含有一掃描式電子顯微鏡觀測步驟，以對該管狀缺陷進行進一步分析。



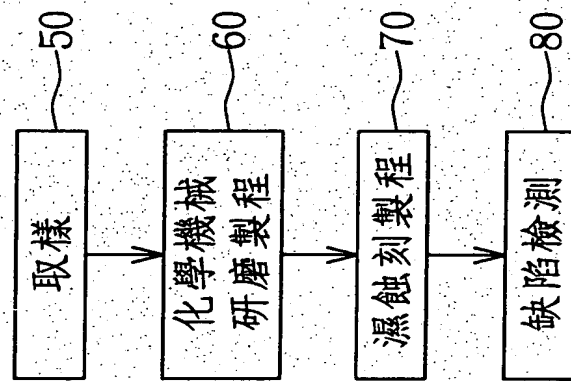


圖一

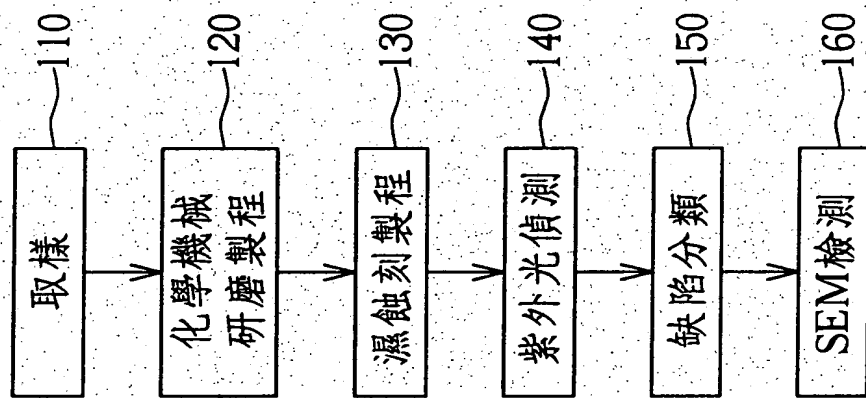


圖一



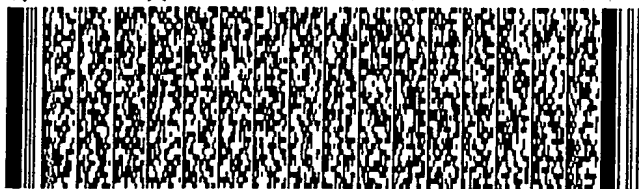


圖三



圖四

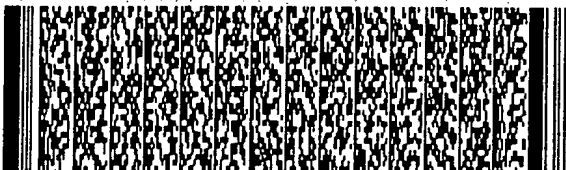
第 1/17 頁



第 2/17 頁



第 2/17 頁



第 3/17 頁



第 4/17 頁



第 5/17 頁



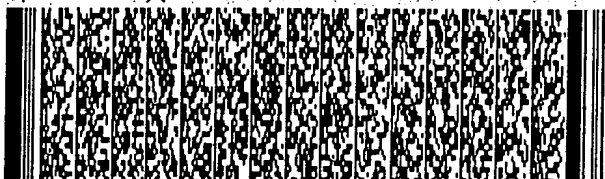
第 6/17 頁



第 6/17 頁



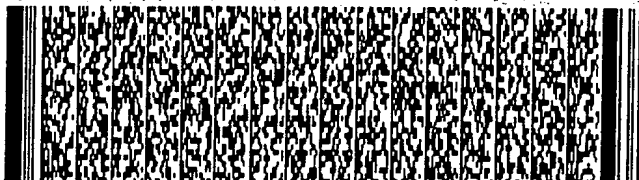
第 7/17 頁



第 7/17 頁



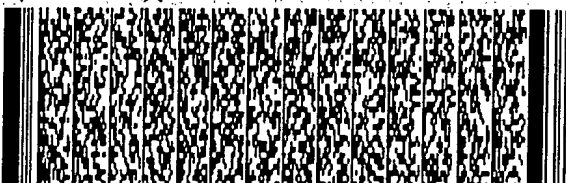
第 8/17 頁



第 8/17 頁



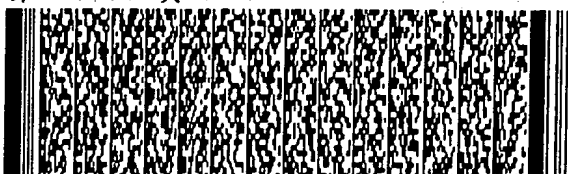
第 9/17 頁



第 9/17 頁



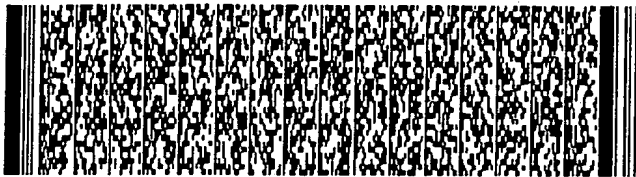
第 10/17 頁



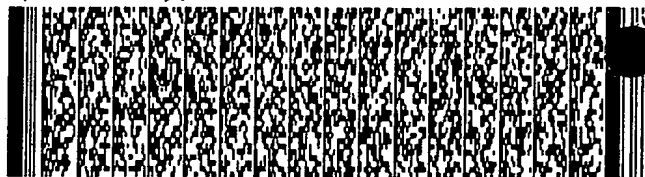
第 10/17 頁



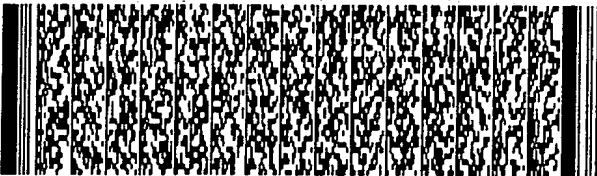
第 11/17 頁



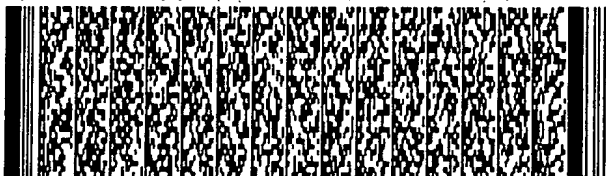
第 11/17 頁



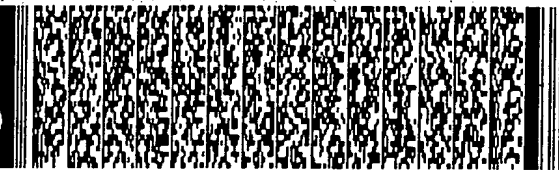
第 12/17 頁



第 12/17 頁



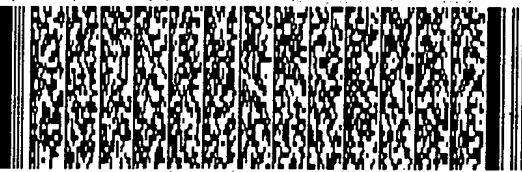
第 13/17 頁



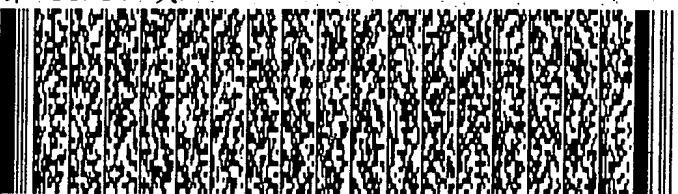
第 14/17 頁



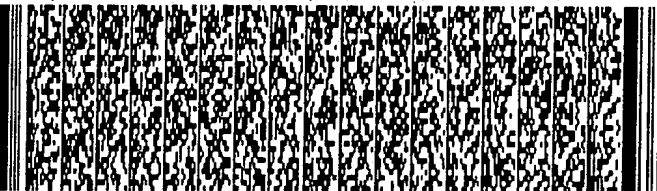
第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

